

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-128666

(43)Date of publication of application : 30.04.1992

(51)Int.Cl.

G01R 31/28
H03K 19/00

(21)Application number : 02-249305

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 19.09.1990

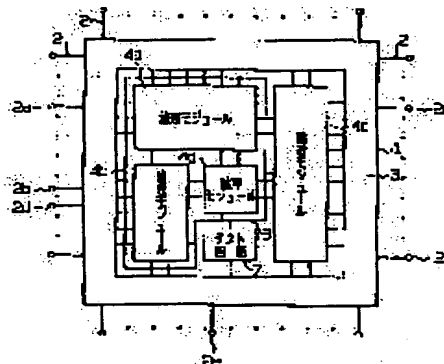
(72)Inventor : KOMAKI MASAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To carry out the function test of logic modules without requiring exclusive connecting pins by providing a test circuit by which respective logic modules are separately operated on the basis of the change in the power supplying condition to the respective logic modules, and test signals are input into or output from an external testing device.

CONSTITUTION: By making a test mode of any one out of respective logic modules 4a to 4d in accordance with the power supplying condition from an external testing device to the respective logic modules 4a to 4d, test pattern signals are successively input into the logic modules through ordinary connecting pins 2 via an input/output buffer circuit 3, and the output signals of the logic modules based on the test pattern signals are output into the external testing device via the input/output buffer circuit 3 for judging whether the operation of the logic module is normal or not. Since the need for providing exclusive connecting pins for inputting test-mode signals and test-pattern signals into a test circuit 7 can be dispensed with, the number of connecting pins can be reduced. Further, since signals can be directly input into or output from the internal logic modules 4a to 4d, the operation of the logic modules other than the logic module being the test object is not necessary. Accordingly, the test signals can be significantly reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

⑫ 公開特許公報(A) 平4-128666

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月30日

G 01 R 31/28
H 03 K 19/00

B

8941-5 J
6912-2 G

G 01 R 31/28

V

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 平2-249305

⑯ 出 願 平2(1990)9月19日

⑰ 発 明 者 小 牧 正 樹 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 富 士 通 ヴィエル エス ア 愛知県春日井市高蔵寺町2丁目1844番2
イ株式会社

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

1. 基板(1)上に機能の異なる多数の論理モジュール(4)を形成し、各論理モジュール(4)は入出力バッファ回路(3)を介して外部回路に接続する半導体集積回路であって、

各論理モジュール(4)には外部回路からそれぞれ独立して電源(VD)を供給し、各論理モジュール(4)への電源(VD)の供給状態の変化に基づいて各論理モジュール(4)を個別に動作させて入出力バッファ回路(3)を介して外部テスト装置に対しテスト信号を入出力させるテスト回路(7)を備えたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔概要〕

半導体集積回路の機能試験に関し、専用の接続ピンを必要とすることなく論理モジュールの機能試験を行うことを目的とし、

基板上に機能の異なる多数の論理モジュールを形成し、各論理モジュールは入出力バッファ回路を介して外部回路に接続する半導体集積回路であって、各論理モジュールには外部回路からそれぞれ独立して電源を供給し、各論理モジュールへの電源の供給状態の変化に基づいて各論理モジュールを個別に動作させて入出力バッファ回路を介して外部テスト装置に対しテスト信号を入出力させるテスト回路を備えて構成する。

〔産業上の利用分野〕

この発明は半導体集積回路の機能試験に関するものである。

近年の半導体集積回路ではその集積度の向上にともなって外部回路と接続するための接続ピンの数が増大している。このため、内部回路の機能試

験を行うための接続ピンを設けることなく機能試験を確実に行うことが要請されている。

〔従来の技術〕

従来の半導体集積回路の一例を第6図に従って説明すると、基板1の周囲には多数の接続ピン2を備えた入出力バッファ回路3が形成され、その入出力バッファ回路3の内側には論理モジュール4a～4dが形成されている。そして、各論理モジュール4a～4dはそれぞれ多数の論理回路で構成されてそれぞれ異なる論理機能を有するとともに、論理モジュール4a～4cは入出力バッファ回路3を介して外部回路に対し信号の入出力を行い、論理モジュール4dは論理モジュール4a～4cに対し信号の入出力を行う。

このような半導体集積回路はその製造後の機能試験において外部テスト装置から接続ピン2を介して電源及びテストパターン信号を各論理モジュール4a～4cに順次入力し、そのテストパターン信号に基づく各論理モジュール4a～4cの出

ところが、上記第7図に示すような半導体集積回路ではテスト回路6にテストモード信号及びテストパターン信号を入力するための専用の接続ピン5を設ける必要があるため、接続ピン数が益々増大するという問題点がある。

この発明の目的は、専用の接続ピンを必要とすることなく論理モジュールの機能試験を行うテスト回路を備えた半導体集積回路を提供することにある。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。すなわち、基板1上に機能の異なる多数の論理モジュール4を形成し、各論理モジュール4は入出力バッファ回路3を介して外部回路に接続する半導体集積回路で、各論理モジュール4には外部回路からそれぞれ独立して電源VDを供給し、各論理モジュール4への電源VDの供給状態の変化に基づいて各論理モジュール4を個別に動作させて入出力バッファ回路3を介して外部テスト装置に対しテスト

力信号を接続ピン2を介して外部テスト装置で検知することにより各論理モジュール4a～4cが正常に動作しているか否かを判定している。

ところが、上記半導体集積回路では論理モジュール4dのように入出力バッファ回路3と直接には接続されていない論理モジュールは外部テスト装置に対しテスト信号の入出力ができないため、機能試験を行うことができない。

そこで、第7図に示すように半導体集積回路に専用の接続ピン5を備えたテスト回路6を設け、外部テスト装置から所定の接続ピン2を介して各論理モジュール4a～4dに電源を供給し、外部テスト装置から接続ピン5を介してテストモード信号及びテストパターン信号をテスト回路6に入力することにより、テスト回路6を介してテストパターン信号を各論理モジュール4a～4dに順次入力してその機能試験を行うようにしたものが提案されている。

〔発明が解決しようとする課題〕

信号を入出力させるテスト回路7を備えている。

〔作用〕

各論理モジュール4への電源VDの供給状態に基づいてテスト回路7によりいずれかの論理モジュール4が選択されてテストモード状態で動作し、外部テスト装置から入出力バッファ回路3を介して入力されるテストパターン信号に基づいて当該論理モジュール4の機能試験が行われる。

〔実施例〕

以下、この発明を具体化した一実施例を第2図に従って説明する。なお、前記従来例と同一構成部分は同一符号を付してその説明を省略する。

第2図に示す半導体集積回路は内部回路として複数の論理モジュール4a～4dとテスト回路7が設けられ、各論理モジュール4a～4d及びテスト回路7にはそれぞれ独立した接続ピン2a～2eを介して外部回路から電源がそれぞれ供給され、テスト回路7と各論理モジュール4a～4d

とはテストバス8で接続されている。なお、前記従来例においても各論理モジュール4a～4d及びテスト回路6にはそれぞれ独立した接続ピンから電源が供給されている。

このような内部回路の接続構成を第3図に従って説明すると、各論理モジュール4a～4dには前記接続ピン2a～2dから電源VD1～VD4が供給され、テスト回路7を構成するテストデコード9には電源VDが供給され、前記電源VD1～VD4は各論理モジュール4a～4dへの電源供給状態を検知する検知信号としてテストデコード9にも入力されている。

各論理モジュール4a～4dはテストデコード9と同じくテスト回路7を構成するテストセクタ10a～10dを介して入出力バッファ回路3に接続され、そのテストセクタ10a～10dはその動作時には外部回路から入出力バッファ回路3を介して入力された入力信号を各論理モジュール4a～4dに入力し、あるいは各論理モジュール4a～4dの出力信号を入出力バッファ回路

3を介して外部回路に出力する。なお、各テストセクタ10a～10dはそれぞれ各論理モジュール4a～4dの領域内に形成されている。

テストデコード9と各テストセクタ10a～10d及び入出力バッファ回路3とはテストバス8で接続され、テストデコード9に供給される電源VDは各テストセクタ10a～10d及び入出力バッファ回路3に供給される。そして、テストデコード9は第5図に示すファンクションテーブルに基づいて動作し、論理モジュール4a～4dのいずれか一つだけに電源が供給されるとテストモード信号を出力してその論理モジュール4a～4dに対応するテストセクタ10a～10dと入出力バッファ回路3を動作させ、各論理モジュール4a～4dにそれぞれ電源VD1～VD4が供給されると各テストセクタ10a～10dを全て動作させ、それ以外の場合は各テストセクタ10a～10dを全て不動作状態とする。

前記各テストセクタ10aは例えば第4図に示すように構成される。すなわち、論理モジュール

4aと入出力バッファ回路3とは多数のトランスファergeートを介して接続され、テストデコード9から出力されるレベルのテストモード信号あるいは通常モード信号に基づいてそのトランスファergeートが閉路されて論理モジュール4aと入出力バッファ回路3とが接続されるようになっている。そして、他のテストセクタ10b～10dもこのテストセクタ10aと同様な構成となっている。

さて、上記のように構成された半導体集積回路ではその機能試験を行う場合に外部テスト装置から接続ピン2eに電源VDを供給するとともに接続ピン2a～2dに電源VD1～VD4を順次供給することにより各論理モジュール4a～4dの機能試験を順次行うことができる。すなわち、外部テスト装置から接続ピン2aを介して論理モジュール4aに電源VD1が供給されると、テストデコード9は論理モジュール4aに対応するテストセクタ10a及び入出力バッファ回路3にテストモード信号を出力し、入出力バッファ回路3

を活性化させるとともに同入出力バッファ回路3と論理モジュール4aとを接続状態とする。この状態で外部テスト装置から入出力バッファ回路3を介して論理モジュール4aの多数の入力端子に一つのテストパターン信号が入力され、そのテストパターン信号に基づく論理モジュール4aの出力信号が入出力バッファ回路3から外部テスト装置に出力されてその機能が正常か否かが判定される。

このようにして論理モジュール4aにおいて多数のテストパターン信号に基づく出力信号の判定が行われ、論理モジュール4b～4cについても以下同様に行われる。

以上のようにこの半導体集積回路では外部テスト装置から各論理モジュール4a～4dへの電源の供給状態により各論理モジュール4a～4dのいずれかをテストモードとして通常の接続ピン2から入出力バッファ回路3を介してテストパターン信号が当該論理モジュールに順次入力され、そのテストパターン信号に基づく当該論理モジュール

ルの出力信号が入出力バッファ回路3を介して外部テスト装置に出力されて正常な動作か否かが判定される。

従って、テスト回路7にテストモード信号及びテストパターン信号を入力するための専用の接続ピンを設ける必要はないので、接続ピン数を削減することができる。

また、内部論理モジュール4a～4dに対して直接に信号を入出力することができるので、前記従来例と異なり試験対象となる論理モジュール以外を動作させる必要がない。従って、テスト信号（テストパターン）を大幅に少なくすることができ、この結果試験時間を大幅に短縮することができる。

〔発明の効果〕

以上詳述したように、この発明は専用の接続ピンを必要とすることなく論理モジュールの機能試験を行うテスト回路を備えた半導体集積回路を提供することができる優れた効果を発揮する。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明を具体化した一実施例の回路レイアウト図、

第3図は一実施例の回路構成を示すブロック図、

第4図はテストセクタの具体的構成を示す回路図、

第5図はテストデコーダのファンクションテーブルを示す説明図、

第6図及び第7図は従来例を示す回路レイアウト図である。

図中

1は基板、

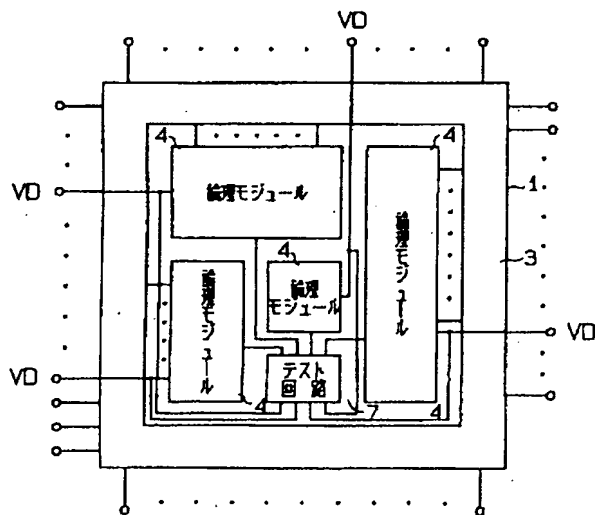
3は入出力バッファ回路、

4は論理モジュール、

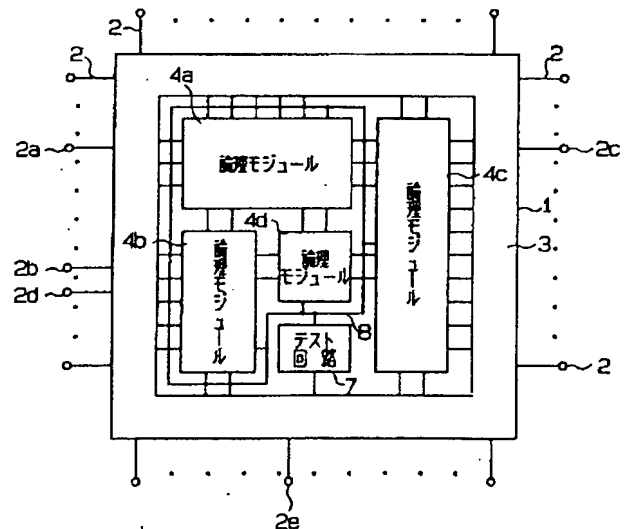
7はテスト回路、

VDは電源である。

第1図
本発明の原理説明図

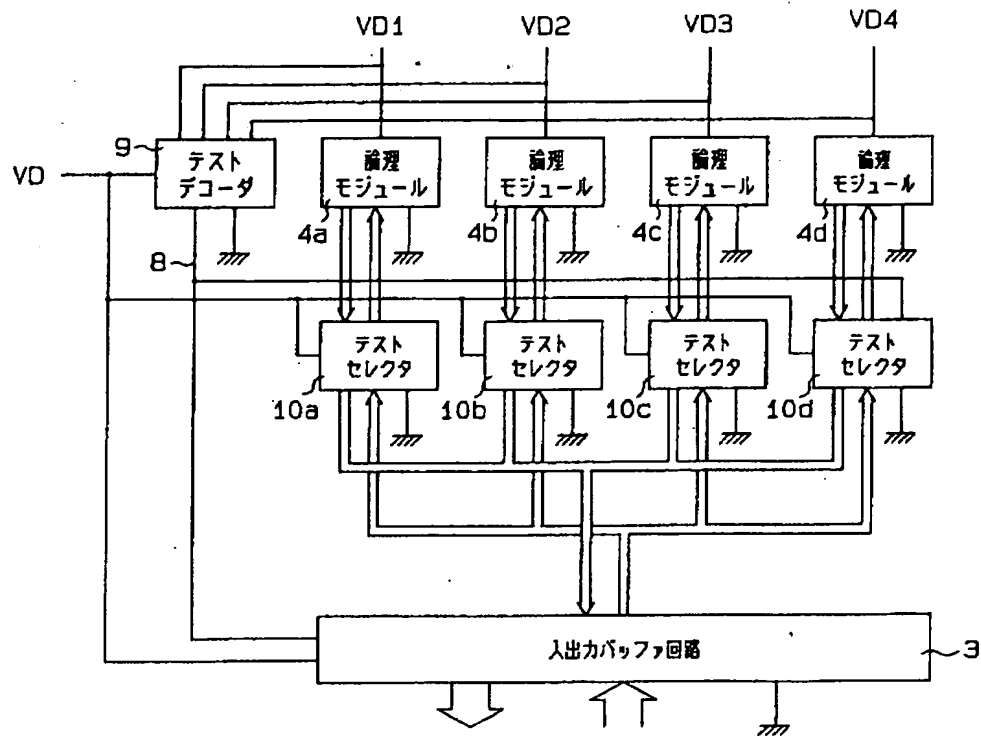


第2図
本発明の一実施例の回路レイアウト図



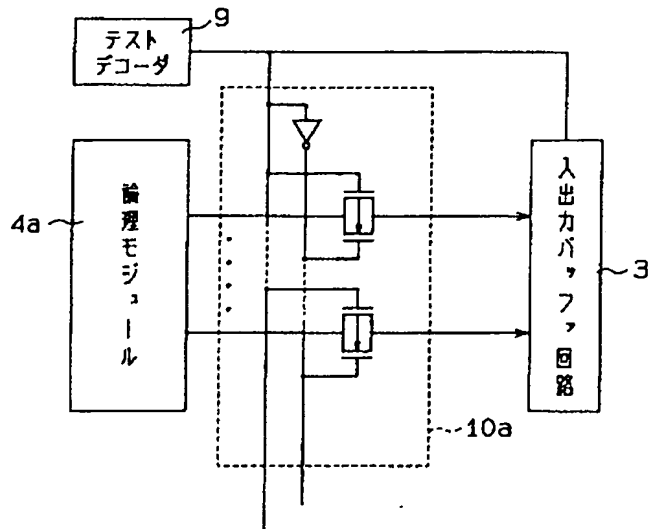
第 3 図

一実施例の回路構成を示すブロック図



第 4 図

テストセレクタの回路図

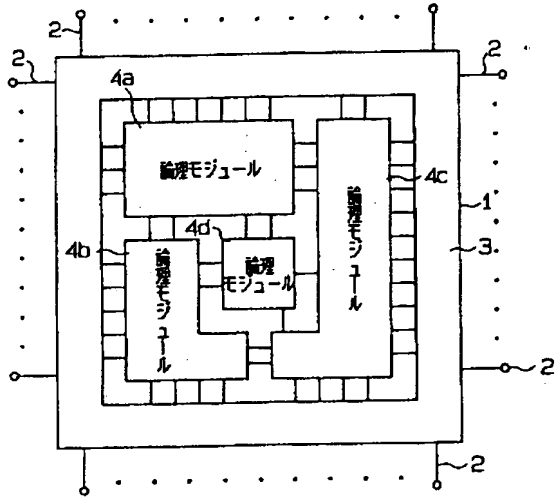


第 5 図

テストデコーダのファンクションテーブルを示す説明図

VD1	VD2	VD3	VD4	
0	0	0	0	オフ
1	0	0	0	論理モジュール4aテスト
0	1	0	0	論理モジュール4bテスト
0	0	1	0	論理モジュール4cテスト
0	0	0	1	論理モジュール4dテスト
1	1	1	X	不動作
1	1	X	1	
1	X	1	1	
X	1	1	1	
1	1	1	1	通常動作

第 6 図
従来例を示す回路レイアウト図



第 7 図
従来例を示す回路レイアウト図

